

PATENT
81876.0064
Express Mail Label No. EV 325 215 368 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kenji OTANI et al.

Serial No: Not assigned

Filed: April 19, 2004

For: Differential Current Output Unit

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-121152 which was filed April 25, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: April 19, 2004

By 

Dariush G. Adli

Registration No. 51,386

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月25日
Date of Application:

出願番号 特願2003-121152
Application Number:

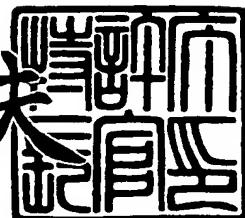
[ST. 10/C] : [JP 2003-121152]

出願人 ローム株式会社
Applicant(s):

2004年 3月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02-00487

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H02P 1/16

【発明の名称】 差動電流出力装置

【請求項の数】 9

【発明者】

【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 大谷 憲司

【発明者】

【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 藤井 教夫

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋2丁目10番5号 末吉ビル5階 ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【選任した代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋2丁目10番5号 末吉ビル5階 ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】

【予納台帳番号】 016241

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動電流出力装置

【特許請求の範囲】

【請求項 1】 第1定電流を流す第1定電流源、入力される入力電圧を差動増幅して前記第1定電流を分配するように動作する第1差動増幅用トランジスタ及び第2差動増幅用トランジスタ、前記第1差動増幅用トランジスタに流れる第1電流に比例した第1ミラー元電圧を発生する第1電流ミラー元トランジスタ、前記第2差動増幅用トランジスタに流れる第2電流に比例した第2ミラー元電圧を発生する第2電流ミラー元トランジスタ、を含む差動入力回路と、

前記第1ミラー元電圧を受けて前記第1電流の第1所定ミラー比m倍の第1ミラー電流を流す第1ミラー先トランジスタ、前記第2ミラー元電圧を受けて前記第2電流の第1所定ミラー比m倍の第2ミラー電流を流す第2ミラー先トランジスタを含み、前記第1ミラー電流と前記第2ミラー電流との差電流に応じた電流を出力する電流引き算回路と、

前記差電流の極性に応じて、前記差電流の大きさに応じた電流出力指令信号の供給先を切り分ける切り分け回路と、

前記電流出力指令信号が供給されて動作する第3ミラー元トランジスタとこの第3ミラー元トランジスタに流れる電流に応じた第2所定ミラー比n倍の出力電流を流す第3ミラー先トランジスタを含む、複数の出力トランジスタ回路を有し、前記電流指令信号の極性及び大きさに応じた正方向あるいは負方向の出力電流を負荷へ供給する電流出力回路と、を備えることを特徴とする、差動電流出力装置。

【請求項 2】 前記第1定電流源の電流値を制御するための電流値設定回路を有することを特徴とする、請求項1記載の差動電流出力装置。

【請求項 3】 前記電流引き算回路20は、前記第1ミラー電流を流す前記第1ミラー先トランジスタと第2定電流を流す第2定電流源とが直列に接続され、この接続点から前記差電流に応じた電流を出力し、

前記第2ミラー電流を流す前記第2ミラー先トランジスタと第2定電流を流す第3定電流源とが直列に接続され、該接続点から前記差電流とは逆極性の差電流

に応じた電流を出力することを特徴とする、請求項1記載の差動電流出力装置。

【請求項4】前記第1定電流源、前記第2定電流源及び前記第3定電流源の各電流値を同時に同比率で制御するための電流値設定回路を有することを特徴とする請求項3記載の差動電流出力装置。

【請求項5】前記電流引き算回路は、前記第1ミラー電流を流す前記第1ミラー先トランジスタと、前記第2ミラー元電圧に応じた前記第2電流の第1所定ミラー比m倍の電流を流す第1引き算用トランジスタとが直列に接続され、該接続点から前記差電流に応じた電流を出力し、

前記第2ミラー電流を流す前記第2ミラー先トランジスタと、前記第1ミラー元電圧に応じた前記第1電流の第1所定ミラー比m倍の電流を流す第2引き算用トランジスタとが直列に接続され、該接続点から前記差電流とは逆極性の差電流に応じた電流を出力することを特徴とする、請求項1、2記載の差動電流出力装置。

【請求項6】前記切り分け回路は、前記差電流が正極性のときにその差電流に応じて制御された電流出力指令信号をそれぞれ出力する第1切り分け用トランジスタ回路及び第2切り分け用トランジスタ回路と、前記差電流が負極性のときにその差電流に応じて制御された電流出力指令信号をそれぞれ出力する第3切り分け用トランジスタ回路及び第4切り分け用トランジスタ回路とを有しており、

前記電流出力回路は、前記第1切り分け用トランジスタ回路からの電流出力指令信号に応じた出力電流を流すための第1出力トランジスタ回路と、前記第2切り分け用トランジスタ回路からの電流出力指令信号に応じた出力電流を流すための第2出力トランジスタ回路と、前記第3切り分け用トランジスタ回路からの電流出力指令信号に応じた出力電流を流すための第3出力トランジスタ回路と、前記第4切り分け用トランジスタ回路からの電流出力指令信号に応じた出力電流を流すための第4出力トランジスタ回路とを有し、前記第1出力トランジスタ回路の出力電流を外部負荷へ流出させ、前記第2出力トランジスタ回路の出力電流を前記外部負荷から流入させる第1負荷電流経路を形成するとともに、前記第3出力トランジスタ回路の出力電流を前記外部負荷へ流出させ、前記第4出力トランジスタ回路の出力電流を前記外部負荷から流入させる、前記第1負荷電流とは逆

方向の第2負荷電流経路を形成することを特徴とする、請求項1～5記載の差動電流出力装置。

【請求項7】前記第1～第4出力トランジスタ回路は、前記切り分け回路からのそれぞれの電流出力指令信号により制御されるミラー元トランジスタと第2所定ミラー比n倍の電流を流すミラー先トランジスタとを有することを特徴とする、請求項6記載の差動電流出力装置。

【請求項8】前記第1及び第3出力トランジスタ回路は、前記切り分け回路からのそれぞれの電流出力指令信号により制御されるミラー元トランジスタと第2所定ミラー比n倍の電流を流すミラー先トランジスタとを有し、前記第2及び第4出力トランジスタ回路は、前記切り分け回路からのそれぞれの電流出力指令信号により制御されるミラー元トランジスタと第3所定ミラー比n×α倍（ただし、αは、1以外の任意の係数）の電流を流すミラー先トランジスタとを有することを特徴とする、請求項6記載の差動電流出力装置。

【請求項9】前記第1～第4出力トランジスタ回路は、前記切り分け回路からのそれぞれの電流出力指令信号により制御される第4所定ミラー比qの電流ミラー回路と、この第4所定ミラー比qの電流ミラー回路の出力側電流により制御される第5所定ミラー比pの電流ミラー回路とを有することを特徴とする、請求項6記載の差動電流出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動入力電圧に応じた差動電流出力を負荷に供給するための差動電流出力装置に関する。

【0002】

【従来の技術】

ファン駆動用などの単相モータ、HDD等のボイスコイルモータ（VCM）や、VTR、CD-ROM、DVDなどの駆動用DCモータ等を、差動入力電圧の極性及び大きさに応じて形成された出力電流により駆動することが行われている。

【0003】

この電動機の駆動制御において、入力電圧を基準値と比較した信号によって、モータ駆動回路の出力トランジスタをオン・オフさせる駆動回路構成では、出力電流のゼロクロス点（極性変化点）前後で電流値が急激に切り替わるために、発生するノイズが大きくなってしまう。また、流出側出力トランジスタ及び流入側出力トランジスタが同時にオンして大電流、所謂貫通電流が流れることを防止するためには、遅延回路を設ける必要があった。

【0004】

このような電流値の急激な変化を避けて、出力電流のゼロクロス点前後を緩やかに切り替えるために、オペアンプ（演算増幅器）やその出力により制御されるパワーアンプ回路等を用いた駆動回路が用いられている（例えば、非特許文献1参照）。

【0005】**【非特許文献1】**

鈴木雅臣著、「定本トランジスタ回路の設計」、第13版、CQ出版株式会社、1998年7月1日、p. 134、図18及びp. 314～p. 316、図27

【0006】**【発明が解決しようとする課題】**

非特許文献1に記載されたようなオペアンプ等を用いる駆動回路では、回路構成が複雑になり、また位相補償用等のコンデンサを必要とする。この駆動回路は、通常ICチップに作り込まれるから、位相補償用等のコンデンサを形成するために大きな面積を要し、ICチップが大きくなり、コストアップの要因となっていた。

【0007】

そこで、本発明は、回路構成を簡略化し、コンデンサの使用をできるだけ少なくしてチップ面積を小さくするとともに、差動入力電圧の変化に応じて滑らかに出力電流を変化させることができる差動電流出力装置を提供することを目的とする。

【0008】

また、電流増幅率などトランジスタ特性が温度などの変化によって変化しても、出力電流特性が殆ど影響を受けることなく安定した動作を行うことができる差動電流出力装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

請求項1の差動電流出力装置は、第1定電流 I_0 を流す第1定電流源 Q_{17} 、入力される入力電圧 V_{in} を差動増幅して前記第1定電流 I_0 を分配するように動作する第1差動増幅用トランジスタ Q_{15} 及び第2差動増幅用トランジスタ Q_{16} 、前記第1差動増幅用トランジスタ Q_{15} に流れる第1電流 I_1 に比例した第1ミラー元電圧 i を発生する第1電流ミラー元トランジスタ Q_{11} 、前記第2差動増幅用トランジスタ Q_{16} に流れる第2電流 I_2 に比例した第2ミラー元電圧 ii を発生する第2電流ミラー元トランジスタ Q_{13} 、を含む差動入力回路10と、

前記第1ミラー元電圧 i を受けて前記第1電流 I_1 の第1所定ミラー比 m 倍の第1ミラー電流 $m \cdot I_1$ を流す第1ミラー先トランジスタ Q_{22} 、前記第2ミラー元電圧 ii を受けて前記第2電流 I_2 の第1所定ミラー比 m 倍の第2ミラー電流 $m \cdot I_2$ を流す第2ミラー先トランジスタ Q_{21} を含み、前記第1ミラー電流 $m \cdot I_1$ と前記第2ミラー電流 $m \cdot I_2$ との差電流 $m \cdot I_1 - m \cdot I_2$ に応じた電流を出力する電流引き算回路20と、

前記差電流 $m \cdot I_1 - m \cdot I_2$ の極性に応じて、前記差電流 $m \cdot I_1 - m \cdot I_2$ の大きさに応じた電流出力指令信号の供給先を切り分ける切り分け回路30と、

前記電流出力指令信号が供給されて動作する第3ミラー元トランジスタとこの第3ミラー元トランジスタに流れる電流に応じた第2所定ミラー比 n 倍の出力電流を流す第3ミラー先トランジスタを含む、複数の出力トランジスタ回路40-1～40-4を有し、前記電流指令信号の極性及び大きさに応じた正方向あるいは負方向の出力電流 I_{out} を負荷70へ供給する電流出力回路40と、を備えることを特徴とする。

【0010】

請求項2の差動電流输出装置は、請求項1記載の差動電流输出装置において、前記第1定電流源Q17の電流値I0を制御するための電流値設定回路60を有することを特徴とする。

【0011】

請求項3の差動電流输出装置は、請求項1記載の差動電流输出装置において、前記電流引き算回路20は、

前記第1ミラー電流m·I1を流す前記第1ミラー先トランジスタQ22と第2定電流m·I0/2を流す第2定電流源Q24とが直列に接続され、この接続点から前記差電流m·I1-m·I2に応じた電流を出力し、

前記第2ミラー電流m·I2を流す前記第2ミラー先トランジスタQ21と第2定電流m·I0/2を流す第3定電流源Q23とが直列に接続され、該接続点から前記差電流m·I1-m·I2とは逆極性の差電流m·I2-m·I1に応じた電流を出力することを特徴とする。

【0012】

請求項4の差動電流输出装置は、請求項3記載の差動電流输出装置において、前記第1定電流源Q17、前記第2定電流源Q24及び前記第3定電流源Q23の各電流値を同時に同比率で制御するための電流値設定回路60を有することを特徴とする。

【0013】

請求項5の差動電流输出装置は、請求項1、2記載の差動電流输出装置において、前記電流引き算回路20Aは、

前記第1ミラー電流m·I1を流す前記第1ミラー先トランジスタQ21aと、前記第2ミラー元電圧iiに応じた前記第2電流I2の第1所定ミラー比m倍の電流m·I2を流す第1引き算用トランジスタQ24aとが直列に接続され、該接続点から前記差電流m·I1-m·I2に応じた電流を出力し、

前記第2ミラー電流m·I2を流す前記第2ミラー先トランジスタQ26aと、前記第1ミラー元電圧iに応じた前記第1電流I1の第1所定ミラー比m倍の電流m·I1を流す第2引き算用トランジスタQ29aとが直列に接続され、該

接続点から前記差電流 $m \cdot I_1 - m \cdot I_2$ とは逆極性の差電流 $m \cdot I_2 - m \cdot I_1$ に応じた電流を出力することを特徴とする。

【0014】

請求項6の差動電流出力装置は、請求項1～5記載の差動電流出力装置において、前記切り分け回路30は、前記差電流 $m \cdot I_1 - m \cdot I_2$ が正極性のときにその差電流に応じて制御された電流出力指令信号をそれぞれ出力する第1切り分け用トランジスタ回路Q32及び第2切り分け用トランジスタ回路Q33と、前記差電流 $m \cdot I_1 - m \cdot I_2$ が負極性のときにその差電流に応じて制御された電流出力指令信号をそれぞれ出力する第3切り分け用トランジスタ回路Q31及び第4切り分け用トランジスタ回路Q34とを有しており、

前記電流出力回路40は、前記第1切り分け用トランジスタ回路Q32からの電流出力指令信号viiに応じた出力電流を流すための第1出力トランジスタ回路40-1と、前記第2切り分け用トランジスタ回路Q33からの電流出力指令信号viiiに応じた出力電流を流すための第2出力トランジスタ回路40-2と、前記第3切り分け用トランジスタ回路Q31からの電流出力指令信号viに応じた出力電流を流すための第3出力トランジスタ回路40-3と、前記第4切り分け用トランジスタ回路Q34からの電流出力指令信号ixに応じた出力電流を流すための第4出力トランジスタ回路40-4とを有し、前記第1出力トランジスタ回路40-1の出力電流を外部負荷へ流出させ、前記第2出力トランジスタ回路40-2の出力電流を前記外部負荷から流入させる第1負荷電流経路を形成するとともに、前記第3出力トランジスタ回路40-3の出力電流を前記外部負荷へ流出させ、前記第4出力トランジスタ回路40-4の出力電流を前記外部負荷から流入させる、前記第1負荷電流とは逆方向の第2負荷電流経路を形成することを特徴とする。

【0015】

請求項7の差動電流出力装置は、請求項6記載の差動電流出力装置において、前記第1～第4出力トランジスタ回路40-1～40-4は、前記切り分け回路30からのそれぞれの電流出力指令信号により制御されるミラー元トランジスタと第2所定ミラー比n倍の電流を流すミラー先トランジスタとを有することを特

徴とする。

【0016】

請求項8の差動電流输出装置は、請求項6記載の差動電流输出装置において、前記第1及び第3出力トランジスタ回路40-1、40-3は、前記切り分け回路30からのそれぞれの電流输出指令信号vii、viにより制御されるミラー元トランジスタと第2所定ミラー比n倍の電流を流すミラー先トランジスタとを有し、前記第2及び第4出力トランジスタ回路40-2、40-4は、前記切り分け回路30からのそれぞれの電流输出指令信号viii、ixにより制御されるミラー元トランジスタと第3所定ミラー比n×α倍（ただし、αは、1以外の任意の係数）の電流を流すミラー先トランジスタとを有することを特徴とする。

【0017】

請求項9の差動電流输出装置は、請求項6記載の差動電流输出装置において、前記第1～第4出力トランジスタ回路40-1～40-4は、前記切り分け回路30からのそれぞれの電流输出指令信号により制御される第4所定ミラー比qの電流ミラー回路と、この第4所定ミラー比qの電流ミラー回路の出力側電流により制御される第5所定ミラー比pの電流ミラー回路とを有することを特徴とする。

【0018】

【発明の実施の形態】

以下、本発明の差動電流输出装置の実施の形態について、図を参照して説明する。図1は、本発明の第1の実施の形態に係る差動電流输出装置の構成を示す図であり、図2は、図1の差動電流输出装置の動作を説明するための図である。

【0019】

図1において、差動入力回路10は、NPN型バイポーラトランジスタ（以下、NPNトランジスタ）Q17と抵抗R15とが直列に接続されて第1定電流源を形成し、電流値設定信号iiiに応じて第1定電流I0を流す。この第1定電流源にエミッタが共通に接続された第1差動增幅用NPNトランジスタQ15及び第2差動增幅用NPNトランジスタQ16が設けられ、これらトランジスタQ15、Q16の両ベース間に入力される入力電圧Vinを差動增幅して第1定電流

I₀を分配するように動作し、NPNトランジスタQ15に第1電流I₁が流れ、NPNトランジスタQ16に第2電流I₂が流れる。

【0020】

NPNトランジスタQ15のコレクタと電源電圧V_{cc}との間に、第1ミラー元トランジスタとなるPNP型バイポーラトランジスタ（以下、PNPトランジスタ）Q11と抵抗R11とが直列接続される。そのPNPトランジスタQ11のベースにエミッタが接続され、PNPトランジスタQ11のコレクタにベースが接続され、コレクタがグランドに接続されたPNPトランジスタQ12と、PNPトランジスタQ11のベースと電源電圧V_{cc}との間に接続された抵抗R12が設けられる。

【0021】

これにより、第1電流I₁は、PNPトランジスタQ11と抵抗R11との直列接続回路を介して流れ、また、PNPトランジスタQ11のベースには第1電流I₁に比例した第1ミラー元電圧iが発生する。なお、以下、電圧は、特に断らない場合にはグランド電位との間の電圧を意味する。

【0022】

NPNトランジスタQ16のコレクタと電源電圧V_{cc}との間に、第2ミラー元トランジスタとなるPNPトランジスタQ13と抵抗R13とが直列接続される。そのPNPトランジスタQ13のベースにエミッタが接続され、PNPトランジスタQ13のコレクタにベースが接続され、コレクタがグランドに接続されたPNPトランジスタQ14と、PNPトランジスタQ13のベースと電源電圧V_{cc}との間に接続された抵抗R14が設けられる。これにより、第2電流I₂は、PNPトランジスタQ13と抵抗R13との直列接続回路を介して流れ、また、PNPトランジスタQ13のベースには第2電流I₂に比例した第2ミラー元電圧iiが発生する。

【0023】

電流引き算回路20は、抵抗R22と第1ミラー元電圧iを受けて第1電流I₁の第1所定ミラー比m倍の第1ミラー電流m·I₁を流す第1ミラー先トランジスタであるPNPトランジスタQ22と、第2定電流m·I₀/2を流す第2

定電流源であるNPNトランジスタQ24と抵抗R24が直列に接続され、PNPトランジスタQ22とNPNトランジスタQ24との接続点から第1差電流 $m \cdot I_1 - m \cdot I_2$ に応じた電流vを出力する。第1所定ミラー比mは、任意の値に設定される。

【0024】

また、抵抗R21と第2ミラー元電圧iiを受けて第2電流I2の第1所定ミラー比m倍の第2ミラー電流 $m \cdot I_2$ を流す第2ミラー先トランジスタであるPNPトランジスタQ21と、第2定電流 $m \cdot I_0 / 2$ を流す第3定電流源であるNPNトランジスタQ23と抵抗R23が直列に接続され、PNPトランジスタQ21とNPNトランジスタQ23との接続点から、第1差電流とは逆極性の第2差電流 $m \cdot I_2 - m \cdot I_1$ に応じた電流ivを出力する。

【0025】

NPNトランジスタQ23及びNPNトランジスタQ24は、NPNトランジスタQ17の $m / 2$ 倍の電流比を持っている。これらNPNトランジスタQ23、NPNトランジスタQ24及びNPNトランジスタQ17のベースに供給される電圧iiiを電流値設定回路60によって変更することにより、それぞれの定電流 I_0 、 $m \cdot I_0 / 2$ を同時に同比率で制御する。

【0026】

この電流値設定回路60は、電源電圧Vccとグランド間に接続された可変定電流源I61とNPNトランジスタQ61と、NPNトランジスタQ61のベースにエミッタが接続され、NPNトランジスタQ61のコレクタにベースが接続され、コレクタが電源電圧Vccに接続されたNPNトランジスタQ62により構成され、NPNトランジスタQ61のベースがNPNトランジスタQ23、NPNトランジスタQ24及びNPNトランジスタQ17のベースに接続される。可変定電流源I61の電流値を変更することによりNPNトランジスタQ61のベース電圧を制御して、これとカレントミラー構成になっているNPNトランジスタQ23、NPNトランジスタQ24及びNPNトランジスタQ17のベース電圧iiiを制御して各定電流を制御する。

【0027】

切り分け回路30は、第1切り分けトランジスタであるNPNトランジスタQ32、第2切り分けトランジスタであるPNPトランジスタQ33、第3切り分けトランジスタであるNPNトランジスタQ31、第4切り分けトランジスタであるPNPトランジスタQ34と、電源電圧Vccを分圧点が所定分圧電圧になるように分圧する分圧抵抗R31、R32を有している。この分圧電圧は、第1差電流 $m \cdot I_1 - m \cdot I_2$ （及び第2差電流 $m \cdot I_2 - m \cdot I_1$ ）が零のときの、電流引き算回路20の出力端電圧と等しくすることがよい。

【0028】

これら第1～第4切り分けトランジスタQ32、Q33、Q31、Q34のベースを分圧点に接続し、第1及び第4切り分けトランジスタQ32、Q34のエミッタに第1差電流 $m \cdot I_1 - m \cdot I_2$ に応じた電流vを供給し、第2及び第3切り分けトランジスタQ33、Q31のエミッタに第2差電流 $m \cdot I_2 - m \cdot I_1$ に応じた電流ivを供給する。

【0029】

これらの第1～第4切り分けトランジスタQ32、Q33、Q31、Q34から、電流v、電流ivの極性と大きさに応じた、第1～第4電流指令信号（即ち、電流値）vi～ixがそれぞれ出力される。

【0030】

電流指令回路40は、第1切り分け用NPNトランジスタQ32からの電流指令信号viiに応じた出力電流を流すための第1出力トランジスタ回路40-1と、第2切り分け用PNPトランジスタQ33からの電流指令信号viiiに応じた出力電流を流すための第2出力トランジスタ回路40-2と、第3切り分け用NPNトランジスタQ31からの電流指令信号viに応じた出力電流を流すための第3出力トランジスタ回路40-3と、第4切り分け用PNPトランジスタQ34からの電流指令信号ixに応じた出力電流を流すための第4出力トランジスタ回路40-4とを有している。

【0031】

第1出力トランジスタ回路40-1は、NPNトランジスタQ32のコレクタと電源電圧Vccとの間に、第3ミラー元トランジスタとなるPNPトランジ

タQ44が接続される。そのPNPトランジスタQ44のベースにエミッタが接続され、PNPトランジスタQ44のコレクタにベースが接続され、コレクタがグランドに接続されたPNPトランジスタQ45と、PNPトランジスタQ44のベースと電源電圧Vddとの間に接続された抵抗R42が設けられる。

【0032】

これにより、電流出力指令信号viiは、PNPトランジスタQ44を介して流れ、また、PNPトランジスタQ44のベースには電流出力指令信号viiに比例した第3ミラー元電圧が発生する。この第3ミラー元電圧を受けて、第3ミラーリー先トランジスタであるPNPトランジスタQ46には、電流出力指令信号viiの第2所定ミラー比n倍の第3ミラー電流n·viiが負荷電流（差動出力電流）Ioutとして負荷70へ流出する。第2所定ミラー比nは、任意の値に設定される。通常は、nは1以上に設定されることがよい。

【0033】

第2出力トランジスタ回路40-2は、PNPトランジスタQ33のコレクタとグランドとの間に、第3ミラー元トランジスタとなるNPNトランジスタQ51が接続される。そのNPNトランジスタQ51のベースにエミッタが接続され、NPNトランジスタQ51のコレクタにベースが接続され、コレクタが電源電圧Vddに接続されたNPNトランジスタQ52と、NPNトランジスタQ51のベースとグランドとの間に接続された抵抗R51が設けられる。

【0034】

これにより、電流出力指令信号viiiは、NPNトランジスタQ51を介して流れ、また、NPNトランジスタQ51のベースには電流出力指令信号viiiに比例した第3ミラー元電圧が発生する。この第3ミラー元電圧を受けて、第3ミラーリー先トランジスタであるNPNトランジスタQ53には、電流出力指令信号viiiの第2所定ミラー比n倍の第3ミラー電流n·viiiが負荷電流Ioutとして負荷70から流入する。

【0035】

第3出力トランジスタ回路40-3は、各PNPトランジスタQ41、Q42、Q43、抵抗R41により、第1出力トランジスタ回路40-1と同様に構成

され、P N PトランジスタQ43には、電流出力指令信号viの第2所定ミラー比n倍の第3ミラー電流n·viが負荷電流Ioutとして負荷70へ流出する。

【0036】

また、第4出力トランジスタ回路40-4は、各N P NトランジスタQ54、Q55、Q56、抵抗R52により、第2出力トランジスタ回路40-2と同様に構成され、N P NトランジスタQ56には、電流出力指令信号ixの第2所定ミラー比n倍の第3ミラー電流n·ixが負荷電流Ioutとして負荷70から流入する。

【0037】

このように、第1出力トランジスタ回路40-1の出力電流n·viiを負荷70へ流出させ、第2出力トランジスタ回路40-2の出力電流n·viiiを負荷70から流入させる第1負荷電流経路を形成するとともに、第3出力トランジスタ回路40-3の出力電流n·viを負荷70へ流出させ、第4出力トランジスタ回路40-4の出力電流ixを負荷70から流入させる、逆方向の第2負荷電流経路を形成する。

【0038】

図1の差動電流出力装置の動作を、図2も参照して説明する。

【0039】

電流値設定回路60によって、第1定電流I0が所定値に設定される。このとき、第2定電流はm/2倍の電流比にしたがって、m·I0/2になる。

【0040】

入力電圧Vinが図2の時点t1のように零のときには、第1電流I1と第2電流I2は等しく、第1ミラー電流m·I1、第2ミラー電流m·I2は、ともにm·I0/2である。したがって、差電流iv、vは零であるから、電流出力指令信号vi~ixは全て零であり、負荷電流Ioutは流れない。

【0041】

入力電圧Vinが図2の期間T1のように差動入力回路10の(+)入力端子側が正で、(-)入力端子側が負のときには、入力電圧Vinの大きさに応じて第1電流I1が大きく、第2電流I2が小さくなる。この第1電流I1、第2電

流 I_2 は、第 1 ミラー比 m にしたがって正確に変換されて、それぞれ第 1 ミラー電流 $m \cdot I_1$ 、第 2 ミラー電流 $m \cdot I_2$ は、 $m \cdot I_1 > m \cdot I_2$ となる。このとき差電流 v は、 $m \cdot I_1 - m \cdot I_0 / 2$ だから、 $(m \cdot I_1 - m \cdot I_2) / 2$ で流出になり、差電流 iv は、 $m \cdot I_2 - m \cdot I_0 / 2$ だから、 $(m \cdot I_2 - m \cdot I_1) / 2$ で流入になる。即ち、大きさが等しく、方向が逆になる。

【0042】

そして、差電流 iv により、第 3 切り分けトランジスタ Q_{31} が導通制御され、電流出力検出信号 vi が第 3 出力トランジスタ回路 40-3 に供給される。一方、差電流 v により、第 4 切り分けトランジスタ Q_{34} が導通制御され、電流出力検出信号 ix が第 4 出力トランジスタ回路 40-4 に供給される。

【0043】

これにより、第 3 出力トランジスタ回路 40-3 の PNP トランジスタ Q_{43} からの電流 $n \cdot vi$ が正極性の負荷電流 I_{out} として負荷 70 へ流出し、第 4 出力トランジスタ回路 40-4 の NPN トランジスタ Q_{56} の電流 $n \cdot ix$ が負荷電流 I_{out} として負荷 70 から流入する。これらの流出・流れる電流値は等しい。

【0044】

入力電圧 V_{in} が図 2 の期間 T_2 のように差動入力回路 10 の (−) 入力端子側が正で、(+) 入力端子側が負のときには、入力電圧 V_{in} の大きさに応じて第 2 電流 I_2 が大きく、第 1 電流 I_1 が小さくなる。このとき、第 1 ミラー電流 $m \cdot I_1$ 、第 2 ミラー電流 $m \cdot I_2$ は、 $m \cdot I_1 < m \cdot I_2$ となるから、差電流 v は、 $m \cdot I_1 - m \cdot I_0 / 2$ だから、 $(m \cdot I_1 - m \cdot I_2) / 2$ で流入になり、差電流 iv は、 $m \cdot I_2 - m \cdot I_0 / 2$ だから、 $(m \cdot I_2 - m \cdot I_1) / 2$ で流出になる。即ち、やはり大きさが等しく、方向が逆になる。

【0045】

差電流 v により、第 1 切り分けトランジスタ Q_{32} が導通制御され、電流出力検出信号 vii がだい 1 出力トランジスタ回路 40-1 に供給される。一方、差電流 iv により、第 2 切り分けトランジスタ Q_{33} が導通制御され、電流出力検出信号 $viii$ が第 2 出力トランジスタ回路 40-2 に供給される。

【0046】

これにより、出力トランジスタ回路40-1のPNPトランジスタQ46からの電流n·viiが負極性の負荷電流I_{out}として負荷70へ流出し、出力トランジスタ回路40-2のNPNトランジスタQ53の電流n·viiiが負荷電流I_{out}として負荷70から流入する。これらの流出・流出する電流値は等しい。なお、負荷電流I_{out}は、図2では所定電流値で飽和する場合を例に説明しているが、勿論、飽和しない電流値としてもよい。

【0047】

このように切り分け回路30では、差電流v及び差電流ivの方向に応じて、流出側では第1切り分けトランジスタQ32及び流入側では第2切り分けトランジスタQ33が導通制御されたり、或いは、流出側では第3切り分けトランジスタQ31及び流入側では第4切り分けトランジスタQ34が導通制御されたりが、切り分けられる。即ち、上下分離が自動的に切り分け制御される。

【0048】

次に、図2の期間T1から期間T2へ移るときのように、入力電圧V_{in}が正から零を経て負に移るとき動作（例、図2の時点t1）を説明する。

【0049】

期間T1では、差電流ivにより第3切り分けトランジスタQ31が導通制御され、電流出力検出信号viが第3出力トランジスタ回路40-3に供給される一方、差電流vにより第4切り分けトランジスタQ34が導通制御され、電流出力検出信号ixが第4出力トランジスタ回路40-4に供給されている。

【0050】

差電流iv及び差電流vは、差動入力回路10及び電流引き算回路20の作用によって、入力電圧V_{in}の極性及び大きさに正確に比例している。したがって、入力電圧V_{in}が正から零に向けて変化するにつれて、差電流iv及び差電流vもその極性及び大きさが変化する。そして、入力電圧V_{in}が零になったときに差電流iv及び差電流vも零になる。

【0051】

そして、期間T2になると、入力電圧V_{in}が零から負方向に変化するにつれ

て、差電流 i_v 及び差電流 v も、それ以前の期間 T_1 とは、その極性が逆でその大きさが変化していく。

【0052】

差電流 v 及び差電流 i_v の方向及び大きさに応じて、切り分け回路30での上下分離が自動的に切り分け制御され、その切り分け制御の結果にしたがって出力トランジスタ回路40-1～40-4からの流出或いは流入電流が滑らかに制御される。即ち、入力電圧 V_{in} に応じた負荷電流 I_{out} を差動で供給することで、負荷電流 I_{out} が零となる前後での出力電流の波形を滑らかにすることができる。また、切り分け回路30を設けて、流出電流と流入電流とを切り分けることで、電流出力回路40の上・下（流出側・流入側）の出力トランジスタに同時に電流が流れることがないから、大電流（貫通電流）による破壊は防止できる。

【0053】

また、入力電圧 V_{in} に対する負荷電流 I_{out} の大きさ、即ち、差動電流出力装置としての増幅度は、電流値設定回路60の可変定電流源 I_{61} の電流値を変更することにより、差動入力回路10の定電流 I_0 及び電流引き算回路20の定電流 $m \cdot I_0 / 2$ を同時に同比率で制御することにより、容易に調整することができる。

【0054】

図3は、本発明の第2の実施の形態に係る差動電流出力装置における、引き算回路の他の構成例を示す図である。

【0055】

図3において、電流引き算回路20Aは、抵抗 R_{22a} と第1ミラー元電圧 i を受けて第1電流 I_1 の第1所定ミラー比 m 倍の第1ミラー電流 $m \cdot I_1$ を流す第1ミラー先トランジスタであるPNPトランジスタ Q_{21a} と、第2電流 I_2 の第1所定ミラー比 m 倍の第2ミラー電流 $m \cdot I_2$ を流す第1引き算用トランジスタであるNPNトランジスタ Q_{24a} とが直列に接続される。

【0056】

このNPNトランジスタ Q_{24a} の第2ミラー電流 $m \cdot I_2$ を得るために、抵抗 R_{21a} と第2ミラー元電圧 ii を受けて第2電流 I_2 の第1所定ミラー比 m 倍

の第2ミラー電流 $m \cdot I_2$ を流すPNPトランジスタQ20aと、このPNPトランジスタQ20aの電流 $m \cdot I_2$ をカレントミラー構成によりNPNトランジスタQ24aに流させるためのNPNトランジスタQ22a、NPNトランジスタQ23aからなるカレントミラー用のトランジスタ回路を設けている。

【0057】

そして、PNPトランジスタQ21aとNPNトランジスタQ24aとの接続点から第1差電流 $m \cdot I_1 - m \cdot I_2$ の電流vを出力する。

【0058】

また、差動電流输出装置20Aは、抵抗R24aと第2ミラー元電圧iiを受け第2電流 I_2 の第1所定ミラー比m倍の第2ミラー電流 $m \cdot I_2$ を流す第2ミラー先トランジスタであるPNPトランジスタQ26aと、第1電流 I_1 の第1所定ミラー比m倍の第1ミラー電流 $m \cdot I_1$ を流す第2引き算用トランジスタであるNPNトランジスタQ29aとが直列に接続される。

【0059】

このNPNトランジスタQ29aの第1ミラー電流 $m \cdot I_1$ を得るために、抵抗R23aと第1ミラー元電圧iを受けて第1電流 I_1 の第1所定ミラー比m倍の第1ミラー電流 $m \cdot I_1$ を流すPNPトランジスタQ25aと、このPNPトランジスタQ25aの電流 $m \cdot I_1$ をカレントミラー構成によりNPNトランジスタQ29aに流させるためのNPNトランジスタQ27a、NPNトランジスタQ28aからなるカレントミラー用のトランジスタ回路を設けている。

【0060】

そして、PNPトランジスタQ26aとNPNトランジスタQ29aとの接続点から第2差電流 $m \cdot I_2 - m \cdot I_1$ の電流ivを出力する。

【0061】

この図3の電流引き算回路20Aも、図1の電流引き算回路20と同様に作用する。さらに、この電流引き算回路20Aでは、第1差電流 $m \cdot I_1 - m \cdot I_2$ の電流v及び第2差電流 $m \cdot I_2 - m \cdot I_1$ の電流ivは、第1ミラー元電圧i及び第2ミラー元電圧iiと、同一構成のカレントミラー回路とにより、形成される。したがって、電流引き算回路20Aでは、図1の第2定電流に含まれる可能性

のある誤差分が排除されるから、より一層正確に第1差電流、第2差電流を得ることができる。

【0062】

図4は、本発明の第3の実施の形態に係る差動電流出力装置における、電流出力回路の他の構成例を示す図である。

【0063】

図4において、電流出力回路40Aでは、第1～第4出力トランジスタ回路40-1～40-4の回路構成は、図1の電流出力回路40と同様である。しかし、流入側の第2出力トランジスタ回路40-2の出力電流を流すNPNトランジスタQ53a及び流入側の第4出力トランジスタ回路40-4の出力電流を流すNPNトランジスタQ56aのカレントミラー比が $m \times \alpha$ とされている点で異なっている。この係数 α は、基本的には、1以外の任意の係数でよい。

【0064】

この係数 α を、1より大きい、例えば1.5とした場合を想定する。例えば、第1出力トランジスタ回路40-1の出力電流 $n \cdot vii$ を負荷70へ流出させ、第2出力トランジスタ回路40-2の出力電流 $n \cdot \alpha \cdot viii$ を外部負荷から流入させる第1負荷電流経路では、負荷電流 I_{out} は小さい方の出力電流 $n \cdot vii$ となる。

【0065】

一方、第2出力トランジスタ回路40-2では、より大きい出力電流 $n \cdot \alpha \cdot viii$ を流すように、NPNトランジスタQ53aが導通制御されるから、その導通度は第1出力トランジスタ回路40-1のPNPトランジスタQ46の導通度より高くなる。この結果、NPNトランジスタQ53aのコレクタ電圧は、オン抵抗の電圧降下のみになり、極めて低くなる。この電圧降下が小さい場合には、ほぼグランド電位と見ることができる。

【0066】

また、第3出力トランジスタ回路40-3と第4出力トランジスタ回路40-4による第2負荷電流経路での負荷電流の場合にも同様であり、NPNトランジスタQ56aのコレクタ電圧は、オン抵抗の電圧降下のみになり、極めて低く

なる。

【0067】

この結果、負荷70に印加される負荷電圧は、グランド電位基準となる。これによれば、例え、第1出力トランジスタ回路40-1と第2出力トランジスタ回路40-2とのインピーダンスバランスや、第3出力トランジスタ回路40-3と第4出力トランジスタ回路40-4のインピーダンスバランスが崩れていっても、負荷70にはグランド電位基準の電圧が印加されるから、出力電圧波形を安定させることができる。

【0068】

なお、この係数 α を、1より小さい値としてもよく、この場合には、負荷70には電源電圧Vdd基準の電圧が印加されることになり、やはり、出力電圧波形を安定させることができる。この係数 α としては、実際の回路においては回路構成などの点から、 $1.1 < \alpha < 1.5$ （もしくはその逆数）程度に設定することが、適当である。

【0069】

図5は、本発明の第4の実施の形態に係る差動電流出力装置における、電流出力回路のさらに他の構成例を示す図である。

【0070】

図5において、電流出力回路40Bでは、第1～第4出力トランジスタ回路40-1～40-4は、切り分け回路30からのそれぞれの電流出力指令信号 $v_i, v_{ii}, v_{iii}, v_{ix}$ により制御される第4所定ミラー比 q の電流ミラー回路と、この第4所定ミラー比 q の電流ミラー回路の出力側電流により制御される第5所定ミラー比 p の電流ミラー回路とを設けるようにしている。即ち、図1の電流出力回路40における電流ミラー比 n を、第4所定ミラー比 q と第5所定ミラー比 p との積（ $n = q \times p$ ）により得ている。

【0071】

これを第1出力トランジスタ回路40-1について見ると、電源電圧Vddと電流出力指令信号 v_{ii} の間に、第3ミラー元トランジスタとなるPNPトランジスタQ45bが接続される。そのPNPトランジスタQ45bのベースにエミッ

タが接続され、P N PトランジスタQ45bのコレクタにベースが接続され、コレクタがグランドに接続されたP N PトランジスタQ46bと、P N PトランジスタQ45bのベースと電源電圧Vccとの間に接続された抵抗R42bが設けられる。

【0072】

これにより、電流出力指令信号viiは、P N PトランジスタQ45bを介して流れ、また、P N PトランジスタQ45bのベースには電流出力指令信号viiに比例した第3ミラー元電圧が発生する。この第3ミラー元電圧を受けて、第3ミラー先トランジスタであるP N PトランジスタQ47bには、電流出力指令信号viiの第4所定ミラー比 q 倍の第3ミラー電流 $q \cdot vii$ が流れる。この第3ミラー電流 $q \cdot vii$ が、N P NトランジスタQ48bと出力トランジスタとなる第5所定ミラー比 p のN P NトランジスタQ49bからなるカレントミラーハ回路に流れれる。これにより、負荷電流 I_{out} として、電流 $vii \cdot q \cdot p$ が負荷70へ流出する。他の第2～第4出力トランジスタ回路40-2～40-4も同様である。

【0073】

このミラー比 q 及びミラー比 p を、 $p \times q = n$ 、に選択することにより、図1などにおいて、ミラー比 n を大きくする必要がある場合に、使用するトランジスタの個数や、或いは個々のトランジスタ面積を小さくすることができるから、全体としてのチップ面積を小さくすることができる。例えば、 $n = 100$ とする場合に、 $q = 10$ 、 $p = 10$ とすることで、同じ電流ミラー比を得ることができる。

【0074】

なお、以上の各実施の形態では、トランジスタとして、バイポーラトランジスタを使用することとして説明したが、MOSなどの電界効果型トランジスタを用いても同様に構成することができる。

【0075】

【発明の効果】

本発明によれば、オペアンプを使用せず、コンデンサの使用を少なくしているから、回路構成が簡略化でき、チップ面積を小さくすることができる。

【0076】

また、入力電圧に正確に追従して出力電流が変化するから、出力電流のゼロクロス点の切り替わりが滑らかに行われ、ノイズを抑制することができる。

【0077】

また、切り分け回路を用いて、上下の出力トランジスタ回路を分離しているから、上下の出力トランジスタ回路を通した電流（即ち、貫通電流）が流れることなく、出力トランジスタ回路の破壊などを防止でき、損失を低減できる。

【0078】

また、差動入力回路の共通エミッタ電流値（即ち、定電流値）を制御することにより出力トランジスタ回路の電流値を制御できるから、出力電流の大きさを容易に調整することができる。

【0079】

また、入力から出力までの全ての回路を、差動回路と所定ミラー比のカレントミラーレンジ回路とで構成しているから、トランジスタの電流増幅率 $h_{f\,e}$ などの特性が変化しても、出力電流特性がほとんど影響を受けることがない。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る差動電流出力装置の構成を示す図。

【図2】図1の差動電流出力装置の動作を説明するための図。

【図3】本発明の第2の実施の形態に係る差動電流出力装置における、引き算回路の他の構成例を示す図。

【図4】本発明の第3の実施の形態に係る差動電流出力装置における、電流出力回路の他の構成例を示す図。

【図5】本発明の第4の実施の形態に係る差動電流出力装置における、電流出力回路のさらに他の構成例を示す図。

【符号の説明】

10 差動入力回路

20、20A 電流引き算回路

30 切り分け回路

40、40A、40B 電流出力回路

40-1～40-4 出力トランジスタ回路

60 電流値設定回路

70 負荷

m、n、q、p 電流ミラー比

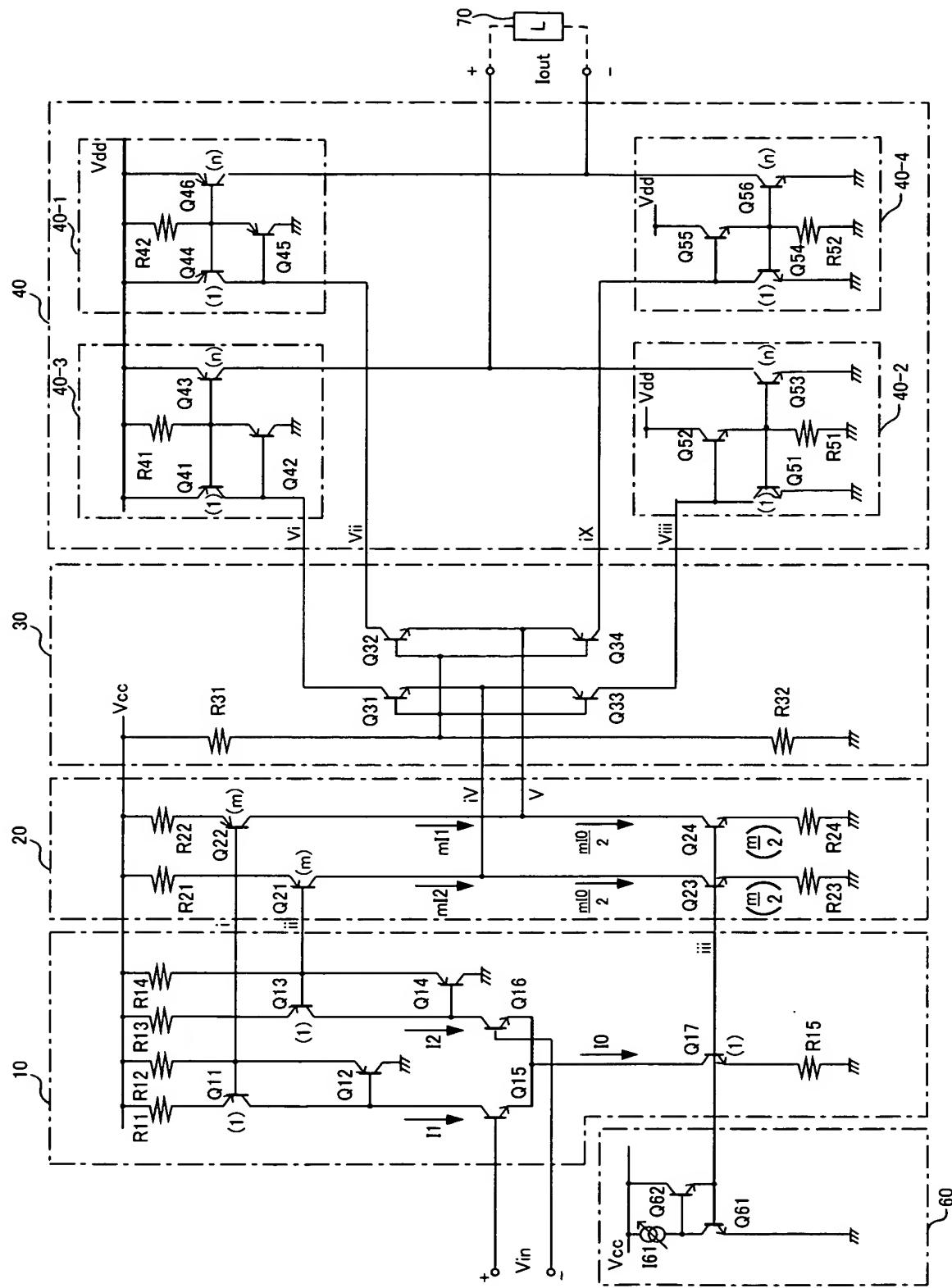
V_{in} 入力電圧

I_{out} 負荷電流（差動出力電流）

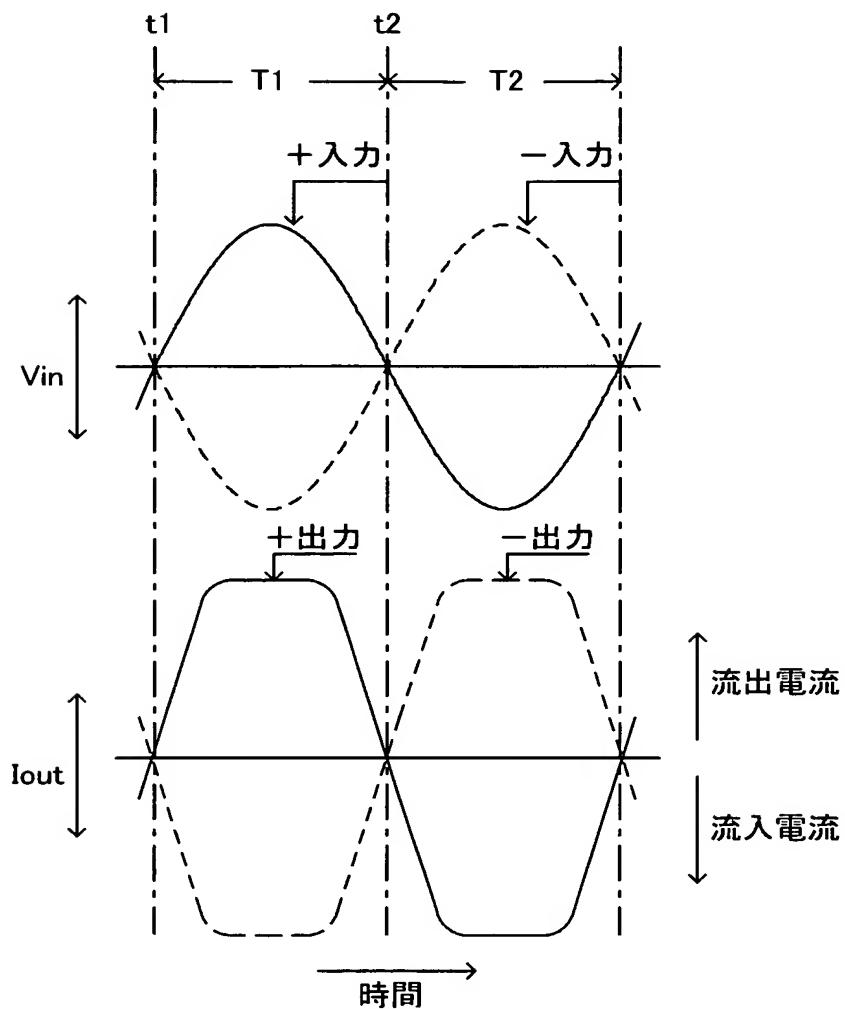
【書類名】

図面

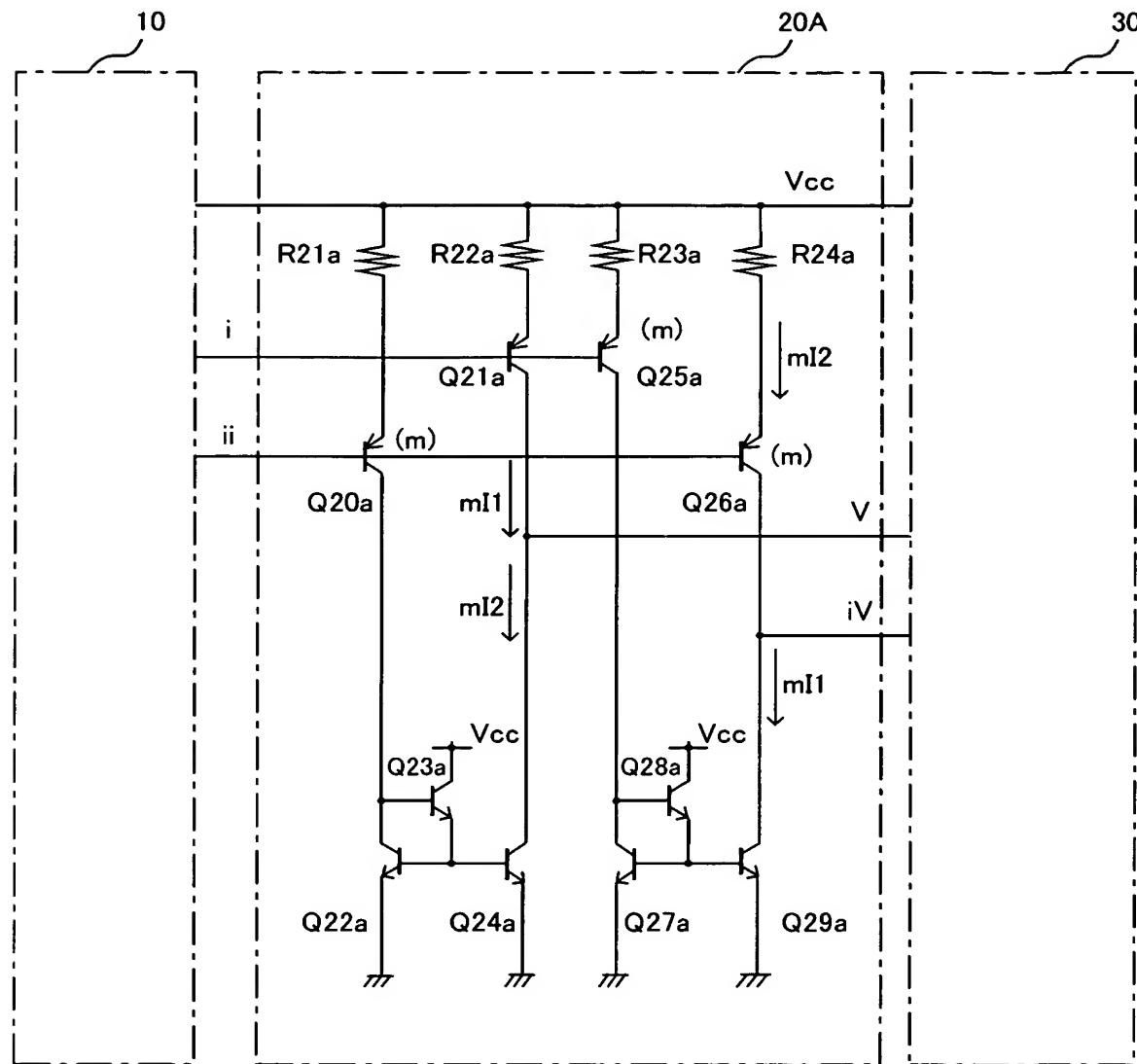
【図 1】



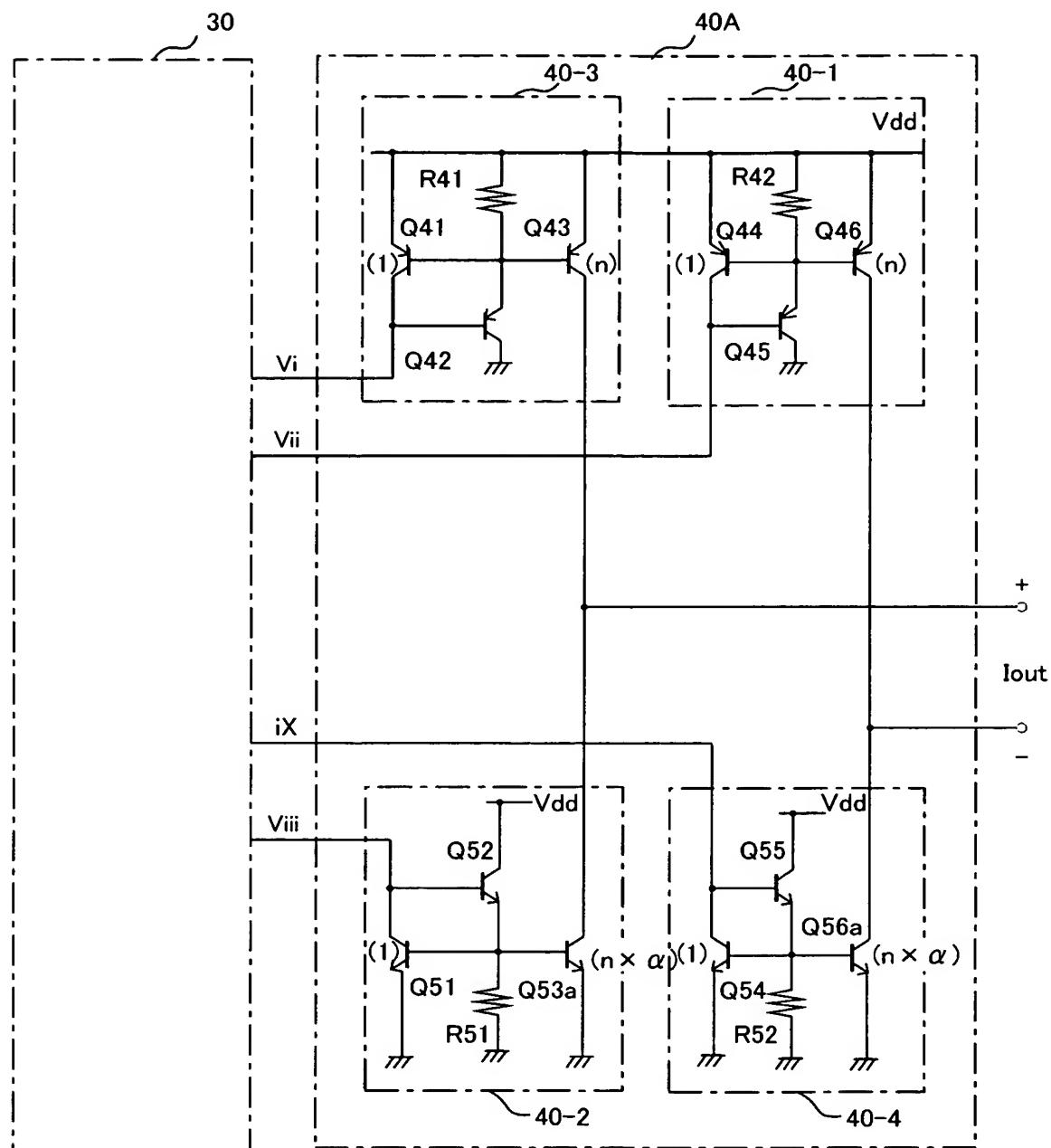
【図2】



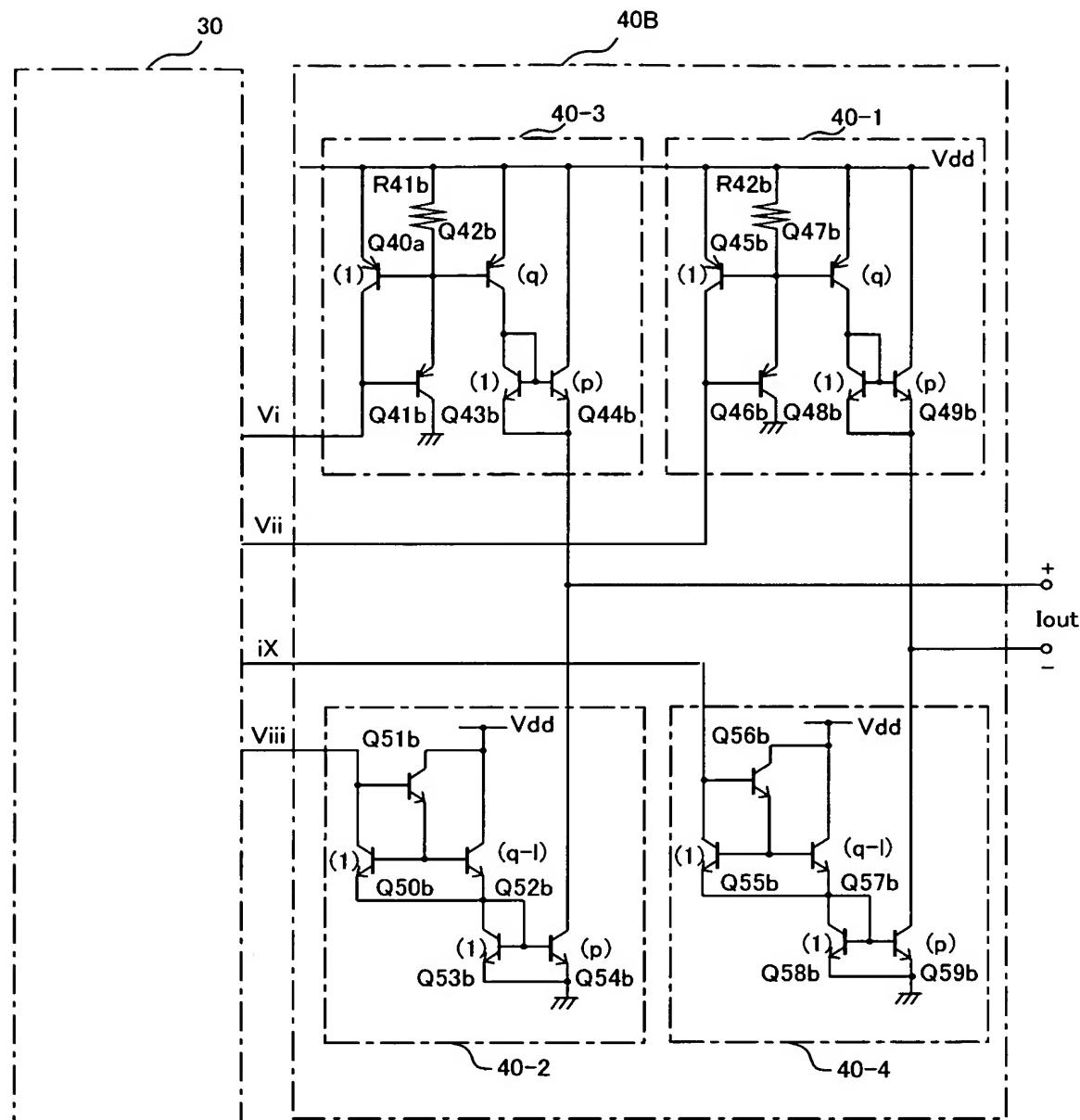
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 コンデンサの使用をできるだけ少なくしてチップ面積を小さくするとともに、差動入力電圧の変化に応じて滑らかに出力電流を変化させ、且つ電流増幅率などトランジスタ特性が温度などによって変化しても、出力電流特性が殆ど影響を受けることなく安定した動作を行うことができる差動電流出力装置を提供すること。

【解決手段】 入力から出力までの全ての回路を、差動回路と所定ミラー比のカレントミラーレンジトで構成して出力電流特性を安定し、且つ切り分け回路を用いて、上下の出力トランジスタ回路を分離して上下の出力トランジスタ回路を通した電流（即ち、貫通電流）が流れることを防止する。

【選択図】 図1

特願 2003-121152

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 京都府京都市右京区西院溝崎町21番地
氏名 ローム株式会社